



International Advanced Researches & Engineering Congress-2017  
http://iarec.osmaniye.edu.tr/  
Osmaniye/TURKEY  
16-18 November 2017

## FPGA-based Real time Implementation of Lü-Chen Chaotic Generator

İsmail Koyuncu<sup>1</sup>, Murat Tuna<sup>2\*</sup>, Can Bülent Fidan<sup>3</sup>, İhsan Pehlivan<sup>4</sup>

<sup>1</sup>Department of Electric-Electronic Engineering, Afyon Kocatepe University, Afyon, Turkey

<sup>2</sup>Department of Electric, Technical Sciences Vocational School, Kırklareli University, Kırklareli, Turkey

<sup>3</sup>Department of Mechatronics Engineering, Karabuk University, Karabuk, Turkey

<sup>4</sup>Department of Electric-Electronic Engineering, Sakarya University, Sakarya, Turkey

\* Corresponding author. Tel.: +90288-214 18 45, Fax: +90288-214 14 95 E-mail address: murat.tuna@klu.edu.tr

### Abstract

In this study, we present a new approach for real-time implementation of continuous-time autonomous Lü-Chen (2002) chaotic system on FPGA (Field Programmable Gate Array). In the presented approach, the Lü-Chen chaotic system is designed on IQ-Math fixed-point number format on FPGA. The design was implemented using the Heun algorithm, which is one of the differential equation solution methods with VHDL, which is the structural hardware identification language. The designed system was synthesized and tested on the Xilinx Virtex-6 FPGA chip. The operating frequency of the FPGA-based Lü-Chen chaotic generator is set at 464.688 MHz and the chip statistics obtained from the design are presented. In addition, Matlab-based numerical results have been compared with the results obtained from the newly presented FPGA-based Lü-Chen chaotic generator, and successful results have been obtained. This work demonstrates that the hardware-designed Lü-Chen chaotic system can be used in various chaos-based embedded system applications such as secure communication and random number generation.

**Keywords:** Chaos, Chaos systems, Lü-Chen's chaotic system, FPGA, VHDL.

## Lü-Chen Kaotik Üreticinin FPGA Tabanlı Gerçek Zamanlı Gerçekleştirilmesi

### Özet

Bu çalışmada literatürde sunulan sürekli zamanlı otonom Lü-Chen (2002) kaotik sistemi FPGA(Alan Programlanabilir Kapı Dizileri) üzerinde yeni bir yaklaşım sunularak modellenmiştir. Sunulan yaklaşımda, Lü-Chen kaotik sistemi FPGA üzerinde IQ-Math sabit noktalı sayı formatında tasarlanmıştır. Tasarım yapısal donanım tanımlama dili olan VHDL ile diferansiyel denklem çözüm yöntemlerinden biri olan Heun algoritması kullanarak gerçekleştirilmiştir. Tasarlanan sistem Xilinx Virtex-6 FPGA çipinde sentezlenerek test edilmiştir. FPGA-tabanlı Lü-Chen kaotik üreticinin çalışma frekansı 464.688 MHz olarak belirlenmiş ve tasarımdan elde edilen çip istatistikleri sunulmuştur. Ayrıca yeni sunulan FPGA-tabanlı Lü-Chen kaotik üreticinden elde edilen sonuçlar ile Matlab-tabanlı nümerik sonuçlar karşılaştırılmış ve başarılı sonuçlar elde edilmiştir. Bu çalışma ile, donanımsal olarak tasarlanan Lü-Chen kaotik sisteminin güvenli haberleşme ve rasgele sayı üretimi gibi çeşitli kaos tabanlı gömülü sistem uygulamalarında kullanılabileceği gösterilmiştir.

**Anahtar Kelimeler:** Kaos, Kaotik sistemler, Lü-Chen kaotik sistemi, FPGA, VHDL.

### 1. Giriş

Son yıllarda temel bilimler üzerinde araştırma ve inceleme yapılan bilim alanlarından birisi de doğrusal olmayan kaotik sistemlerin varlığı ve bu sistemlerin buldukları devreler üzerinde oluşturdukları olumlu/olumsuz etkileridir. Kaotik işaretlerin gürültü benzeri işaretler üretmesi, periyodik olmayan davranış sergilemeleri, başlangıç koşullarına hassas bağlı olmalarından dolayı düzensiz görünümü sistemlerdir.

Fakat deterministik yapıya sahip bu sistemler dikkatli incelendiğinde kendi iç düzenlerine sahiptirler [1-2]. Karmaşık olmayan devre yapılarına sahip bu sistemler ilginç dinamik özelliklerinden dolayı, son yıllarda kaos tabanlı sistemlere ve kaotik üreteçlere olan ilgiyi oldukça arttırmıştır. Kaos tabanlı mühendislik uygulamalarında kullanılması gereken temel yapı, gerekli kaotik işareti üreten bir kaos üreticidir. Kaotik sistemlerin mühendislik alanlarındaki uygulama alanlarına kriptoloji, güç

elektronığı, güvenli haberleşme, biyomedikal, matematik, biyofizik, mekatronik, görüntü işleme, yapay sinir ağları, kontrol teknikleri gibi örnek uygulamalar verilebilir [3-4]. Bu sinyallerin elektronik mühendisliğindeki uygulama alanları ise şifreleme, gürültü üreteçleri, ikili-kodlu rasgele sayı üreteçleri ve güvenli haberleşme düzenekleri bulunmaktadır [5-7].

Günümüzde sayısal haberleşmede kullanılan teknolojilerdeki hızlı gelişmeler, insanların hayatlarında önemli değişiklikler yapmasının yanı sıra gizli ve özel olan bilgiye erişmeye çalışan saldırganları da mümkün hale getirmiştir. Bu bilgiyi korumanın çözümlerinden biride kriptoloji bilimini doğru kullanmaktır. Değişik özelliklere sahip kaotik sistemler son yıllarda kriptolojide rasgele sayı üretiminde ve güvenli haberleşme alanında sıklıkla kullanılmaya başlanmıştır [8-9].

Kaotik sistemlerin uygulamada analog devre tasarımlarında CMOS devre tabanlı kaotik osilatör yapıları oldukça fazla kullanılmaktadır [10-11]. Son yıllarda sürekli zamanlı kaotik sistemlerin sayısal tabanlı uygulama çalışmaları artış göstermiştir [12-13]. Sayısal donanım kullanarak kaotik üreteçlerin bir entegre içerisinde tasarlanmasında yeniden sahada programlanabilir FPGA çipleri oldukça başarılıdır [13-14]. Çünkü yüksek hız ve kapasiteleri nedeniyle özellikle bilgi güvenliği kapasitesini iyileştirmede ve gizlemede kriptoloji ve haberleşme gibi uygulama alanlarında önemli bir yere sahiptir [14-16].  $x(t)$  bir vektör olmak üzere, Denklem (1) de verilen ve adi diferansiyel denklemlerle ifade edilen sürekli zamanlı kaotik bir sistem oluşturmak için en az ikinci dereceden adi diferansiyel bir denklem ve doğrusal olmayan bir devre elemanı yeterli olmaktadır [17-18].

$$\frac{d(x(t))}{dt} = f(x(t)) \quad (1)$$

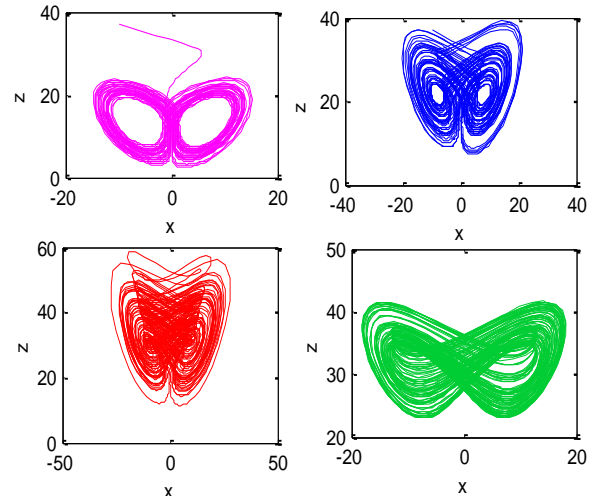
Bu çalışmanın ikinci kısmında seçilen Lü-Chen (2002) kaotik sisteminin nümerik denklemlerle ifade edilen matematiksel modeli, zaman serileri ve 2-3 boyutlu faz portelleri verilmiştir. Üçüncü kısımda kaotik çekerin sayısal devre tabanlı FPGA modeli çıkartılmıştır. Dördüncü kısımda ise FPGA tabanlı kaotik sistemin test ve analiz sonuçları verilerek son bölümde alınan sonuçlar değerlendirilmiştir.

## 2. Lü-Chen Kaotik Sistemin Matematiksel Modeli

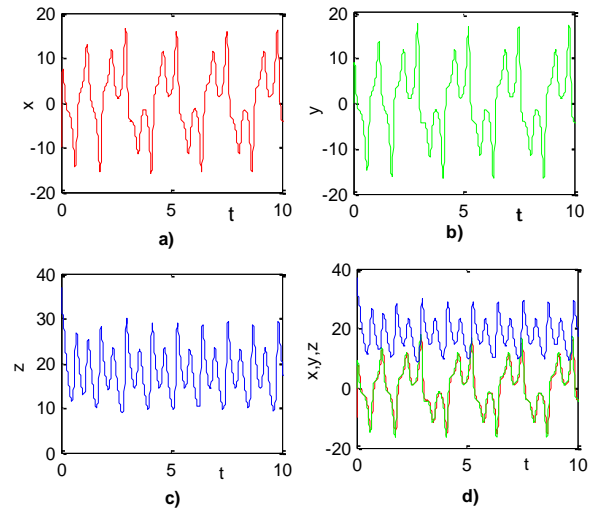
Jinhu Lü ve Guanrong Chen tarafından 2002 yılında tanımlanan doğrusal olmayan denklem sistemi Lü-Chen 2002 kaotik sistemi olarak adlandırılır [19]. Denklem (2) de ifade edilen bu sistemde a, b ve c reel sabitlerdir.

$$\begin{cases} \frac{dx}{dt} = a \cdot (y - x) \\ \frac{dy}{dt} = -x \cdot z + c \cdot y \\ \frac{dz}{dt} = x \cdot y - b \cdot z \end{cases} \quad (2)$$

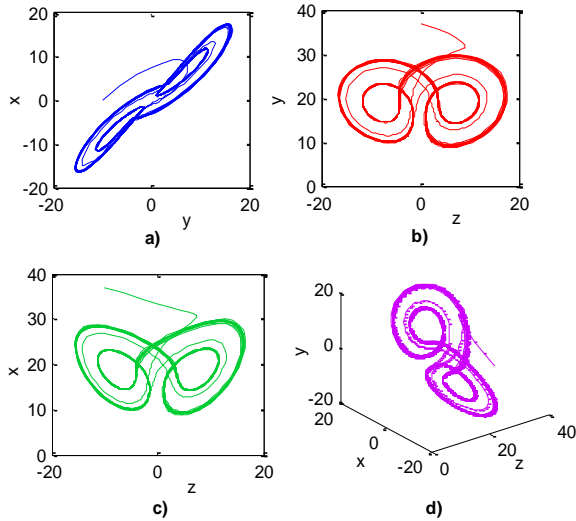
Bu sistem Lorenz ve Chen sistemleri arasında bir geçiş sistemidir. Burada başlangıç şartları  $x_0=-10$ ,  $y_0=0$ ,  $z_0=37$  ve sistem parametreleri  $a=36$ ,  $b=3$  sabit olup c parametresi değişkendir. Sistemin ürettiği çekici,  $12.7 < c < 17$  aralığında Lorenz çekicisine,  $18 < c < 22$  arasında geçiş şekline sahipken  $23 < c < 28.5$  aralığında ise Chen sistemine benzemektedir. Burada c parametresinin değişik değerleri için elde edilen x-z tuhaf çekicisi şekil 1' de verilmiştir.



Şekil 1. Lü-Chen 2002 sisteminin x-z tuhaf çekicisi (sırasıyla  $c=13$ ,  $c=20$ ,  $c=28$  ve  $c=28.7$  için)



Şekil 2. Lü-Chen 2002 kaotik çekerin; a) x işareti, b) y işareti, c) z işareti, d) x, y ve z işaretinin zaman serileri



Şekil 3. Lü-Chen 2002 kaotik çekerin Matlab üzerinden alınan sonuçlar; a) x-y, b) y-z, c) x-z faz portreleri ve d) 3 boyutlu (xyz) kaotik faz görünümü

Denklem (2) de verilen ve genliği ve frekansı tespit edilemeyen, ancak sınırlı alanda değişen işaretler içeren nonlinear Lü-Chen kaotik sisteminin çözümü başlangıç şartlarına ve sistem parametrelerine oldukça hassas bir şekilde bağlıdır. Analizi yapılan bu kaotik sistemin sayısal devre üzerinde çözümünde Heun nümerik algoritması kullanılmıştır. Şekil 2' de Matlab programından alınan kaotik sistemin zaman serileri x, y, z ve x-y-z sırasıyla a, b, c ve d şekillerinde verilmiştir. Şekil 3' te ise sistemin faz portreleri ile üç boyutlu çekici görüntüsü elde edilmiştir.

### 3. Kaotik Sistemin FPGA Tabanlı Modeli

FPGA çiplerinin gelişerek yüksek hız ve kapasiteye ulaşması özellikle güvenli bilgi ve haberleşme ile kriptoloji alanlarında bilginin güvenilirliğini geliştirmek için uygun bir alternatif olarak ön plana çıkmaktadırlar. Bunun yanında FPGA çipleri günümüzde endüstriyel otomasyon ve kontrol sistemlerinde, uzay ve savunma sanayisinde, yapay zeka uygulamalarında, endüstriyel görüntüleme, tüketici elektroniğinde, sayısal tıbbi elektronikte bilgisayarlı tomografiden ultrason görüntülemeye ve otomotiv endüstrisinde görüntü işlemeden araç içi bilgi sistemlerine kadar çok geniş bir yelpazede kullanılmaktadır [20-24].

Kaotik sistemlerin nonlinear denklemlerin çözümleri için literatürde çeşitli nümerik algoritmalar (Euler, Heun, RK-4 ve RK-5 Butcher) kullanılmaktadır. Tüm bu yöntemler diferansiyel sistemlerin sayısal olarak ayrıklaştırılmasında kullanılır. Bu algoritmalarından en basit ve çip üzerinde gerçekleştirilmesi en kolay olanı Euler yöntemi iken en zor olanı RK-5 Butcher yöntemidir [25]. Biz bu çalışmamızda kaotik sistemin FPGA tabanlı sayısal modelini çıkarmada Euler yönteminden biraz daha hassas sonuçlar üreten Heun algoritmasını kullandık. Bu

yöntemin matematiksel denklemleri Denklem (3)' te verilmiştir.

$$\begin{aligned} y(x_0) &= y_i = y_0 \\ y_{\lambda+1}^0 &= y_{\lambda} + f(y_{\lambda}) * \Delta h \\ y_{\lambda+1} &= y_{\lambda} + \frac{f(y_{\lambda}) + y_{\lambda+1}^0 * \Delta h}{2} \end{aligned} \quad (3)$$

Denklem (3)' te verilen Heun algoritmasında sistemin başlangıç koşulları  $y_0$ , denklemin bir sonraki adım aralığını  $\Delta h$  olarak tanımlanmıştır. İki adımdan oluşan bu algoritmanın ilkinde  $f(y_{\lambda+1}^0)$  değeri hesaplanırken ikincisinde hesaplanan  $f(y_{\lambda+1}^0)$  değeri ile  $y_{\lambda}$  değerleri kullanılarak denklemin bir adım sonraki değeri olan  $f(y_{\lambda+1})$  sonucu hesaplanır.

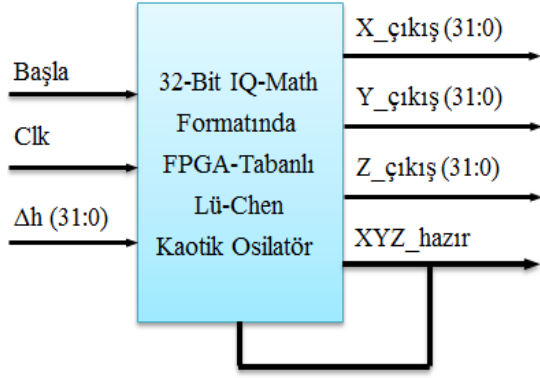
Denklem (4)' te Heun nümerik algoritması kullanılarak Lü-Chen 2002 kaotik sistemin sayısallaştırılmış matematiksel modeli elde edilmiştir. İlk olarak bu modellemde  $x(k)$ ,  $y(k)$  ve  $z(k)$  değerleri kullanılarak sırayla  $x(k^0+1)$ ,  $y(k^0+1)$  ve  $z(k^0+1)$  ara değerleri hesaplanarak ayrık olarak ifade edilen diferansiyel denklem sisteminde  $\Delta h$  adım aralığı kadar ötelenen  $x(k+1)$ ,  $y(k+1)$  ve  $z(k+1)$  bir sonraki ilk değerleri hesaplanmaktadır.

$$\begin{aligned} x(k^0+1) &= x(k) + \Delta h \cdot (\alpha \cdot (y(k) - x(k))) \\ x(k+1) &= x(k) + \Delta h \cdot \frac{(\alpha \cdot (y(k) - x(k))) + x(k^0+1)}{2} \\ y(k^0+1) &= y(k) + \Delta h \cdot (-z \cdot x(k) + c \cdot y(k)) \\ y(k+1) &= y(k) + \Delta h \cdot \frac{(-z \cdot x(k) + c \cdot y(k)) + y(k^0+1)}{2} \\ z(k^0+1) &= z(k) + \Delta h \cdot (x(k) \cdot y(k) - b \cdot z(k)) \\ z(k+1) &= z(k) + \Delta h \cdot \frac{(x(k) \cdot y(k) - b \cdot z(k)) + z(k^0+1)}{2} \end{aligned} \quad (4)$$

Lü-Chen 2002 kaotik sistemin ayrıklaştırılmış nümerik modelinde algoritmasının adım aralığı  $\Delta h = 0.01$ , başlangıç değerleri ( $k = 0$ );  $x(k) = -10$ ,  $y(k) = 0$ ,  $z(k) = 37$  ve sistem parametreleri  $a = 36$ ,  $b = 3$  ve  $c = 18.25$  olarak alınmıştır.

### 4. Lü-Chen Kaotik Sistemi Digital Test Sonuçları

Lü-Chen 2002 kaotik sistemin Heun nümerik algoritması ile FPGA tabanlı olarak modellenmesinde yüksek hızlı donanım tanımlama dili olan VHDL kullanılmıştır.



Şekil 4. FPGA tabanlı Lü-Chen kaotik osilatör en üst seviye blok diyagramı

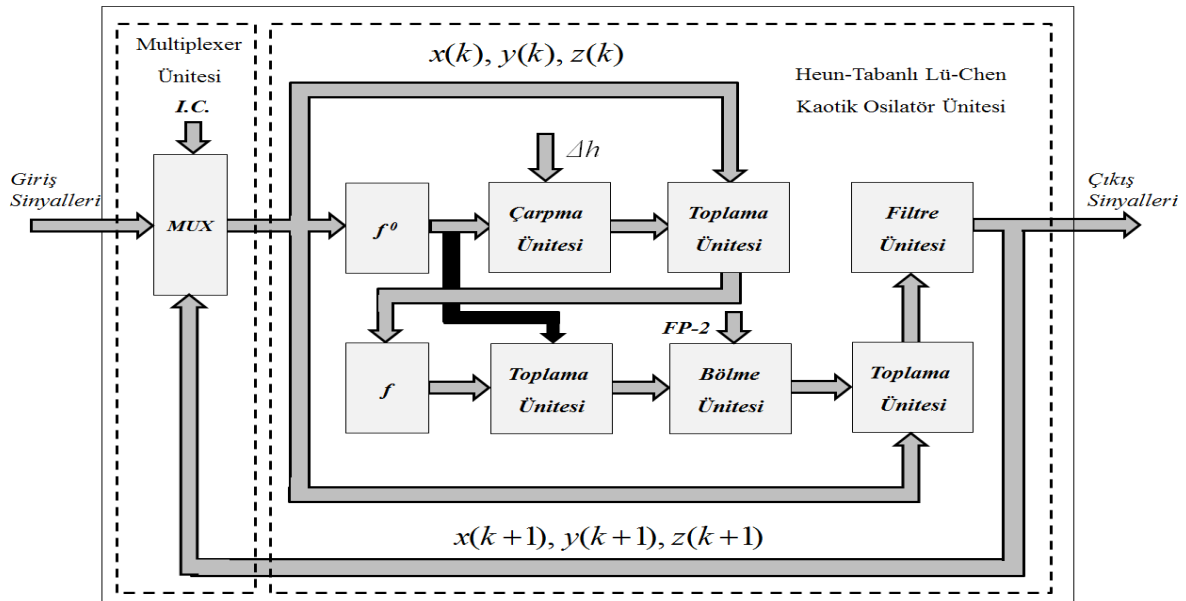
Heun nümerik algoritması kullanılarak VHDL dilinde FPGA-tabanlı tasarımı gerçekleştirilen Lü-Chen kaotik sinyal üreticinin en üst seviye blok şeması Şekil 4' te gösterilmiştir. Tasarlanan sistem 3 girişli ve 4 çıkışlı bir yapıdan oluşmaktadır. Ünitenin girişinde bulunan 1-bit Başla ve Clk sinyalleri, ünitenin içerisindeki alt ünitelerin zamanlaması ve ünitelerin bağlı olduğu tüm sistemlerin senkronize bir şekilde çalışmalarını sağlamak için kullanılmıştır. Algoritmanın sonuca etki eden etkisini belirleyen  $\Delta h$  giriş sinyali adım sayısı parametresini belirtmekte ve tasarımın daha yapısal olmasını sağlamak amacıyla dışarıdan uygulanmıştır. Şekil 5' te ise tasarlanan kaotik osilatörün ikinci seviye blok diyagramı verilmiştir. MUX ünitesi, sistemin başlangıç şartlarının tanımlanması (I.C.) ve bir sonraki adım için çıkış ( $X_{\text{çıkış}}$ ,  $Y_{\text{çıkış}}$ ,  $Z_{\text{çıkış}}$ ) değerlerinin sisteme yeniden tanımlanması amacıyla kullanılmaktadır. Heun-tabanlı Lü-Chen kaotik osilatör ünitesi ise kaotik işareti üreten bölümdür. Sistem, Başla sinyali ile ilk başlangıç koşulu değerleri üretic içerisinde tanımlanan değerlerden alarak

sistem ilk sonucu ürettiğinde ise XYZ\_hazır sinyali '1' olmakta ve kaotik işaret üretici bir sonraki değeri elde edebilmek için yeni başlangıç şartlarını sistemin çıkışından gelen sinyallerden sağlamaktadır.

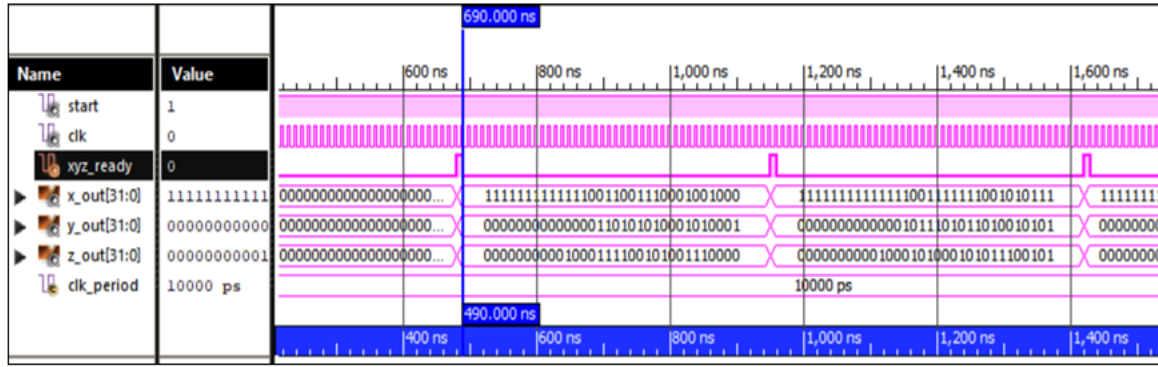
Benzer çalışmalardan farklı olarak kaotik sistem VHDL dilinde 32 bit sabit noktalı sayı (IQ-Math) formatında yazılmıştır. Heun algoritması ile tasarlanan sistem içerisindeki çarpma, toplama, çıkarma ve diğer modüller Xilinx' in geliştirdiği IP Core çekirdekler kullanılarak tasarlanmıştır. Heun tabanlı tasarım pipe-line olarak çalışarak 47 saat darbesi sonucunda ilk değerini üretmektedir. Daha sonra her 47 saat darbesinde sistem üzerinden yeni değerler alınmaktadır. Tasarlanan kaotik sinyal üretic Xilinx firmasının ürettiği Virtex-6 ailesinin XC6VLX75T-3FF484 çipine yüklenerek test edilmiştir. Şekil 6' da FPGA'de VHDL dilinde Heun-tabanlı tasarımı gerçekleştirilen Lü-Chen kaotik osilatörün  $X_{\text{çıkış}}$ ,  $Y_{\text{çıkış}}$  ve  $Z_{\text{çıkış}}$  sinyallerinin Xilinx ISE simülasyondan alınan 32-bit tam sayı değerleri gösterilmiştir. Tüm bu işlemlerinden ardından Tablo 1' de FPGA üzerinde tasarımı gerçekleştirilen kaotik osilatörün çip istatistikleri verilmiştir. Tasarlanan FPGA tabanlı Lü-Chen 2002 kaotik sinyal üreticinin min. çalışma periyodu 2,152 ns' dir.

Tablo 1. FPGA-tabanlı Lü-Chen 2002 kaotik osilatör ünitesi Xilinx Virtex-6 çip istatistikleri

Lojik Kullanım	Slice Reg. Sayısı	LUT Sayısı	DSP48E1s Sayısı	IOB Sayısı	Çalışma Frekans (MHz)
Kullanılan	2243	1924	64	99	464.688
Kullanım Oranı	2%	4%	22%	41%	



Şekil 5. FPGA-tabanlı Lü-Chen 2002 kaotik sinyal üreticinin ikinci seviye blok diyagramı



Şekil 6. FPGA-tabanlı Lü-Chen 2002 kaotik sinyal üreticinin Xilinx ISE simülasyon sonuçları

## 5. Sonuçlar

Bu çalışmada, 2002 yılında literatüre sunulan Lü-Chen kaotik sistemi, gömülü kaos tabanlı mühendislik uygulamalarında kullanılmak üzere ilk defa FPGA üzerinde tasarımı gerçekleştirilmiştir. İlk olarak Lü-Chen kaotik sisteminin Matlab programında zaman serileri, 2 ve 3 boyutlu faz portreleri çıkartılarak kaos analizleri incelenmiştir. İkinci aşamada Lü-Chen kaotik sistemi ayrık zamanlı olarak 32-bit (16I-16Q) IQ-Math sabit noktalı sayı formatında Heun nümerik algoritması ile FPGA tabanlı tasarımı gerçekleştirilmiştir. Tasarlanan kaos tabanlı sistemin min. çalışma periyodu 2,152 ns ve max. çalışma frekansı 464.688 MHz' dir. Lü-Chen kaotik sistemin FPGA üzerinde tasarımından alınan başarılı sonuçlar, bu kaotik sinyal üreticinin kriptoloji ve güvenli haberleşme gibi kaos tabanlı gömülü mühendislik çalışmalarında kullanılabileceği gösterilmiştir. İleride FPGA üzerinde ayrık zamanlı olarak tasarımı gerçekleştirilen bu kaotik sinyal üreticini kullanarak kaos tabanlı haberleşme, bilgi saklama ve rasgele sayı üreticileri gibi uygulamalar yapılabilir.

## Kaynaklar

1. Merah, L., A.A. Pacha, N.H. Said, and M. Mamat, A Pseudo Random Number Generator Based on the Chaotic System of Chua's Circuit, and its Real Time FPGA Implementation. *Applied Mathematical Sciences*, 2013. **7**(55): p. 2719-2734.
2. Banerjee, S. and J. Kurths, Chaos and Cryptography: A new dimension in secure communication. *The European Physical Journal Special Topics*, 2014. **223** (8): p. 1441-1445.
3. Lawande, Q.V., B.R. Ivan, and S.D. Dhodapkar, Chaos Based Cryptography: A New Approach To Secure Communications. *Barc Newsletter*, 2005. **258**: p. 1-12.
4. Xiong, A., X. Zhao, J. Han, and G. Liu, Application of the chaos theory in the analysis of EMG on patients with facial paralysis. In *Robot Intelligence Tech. and App.*, Springer, 2014. **274**: p. 805-819.
5. Koyuncu, İ., İ. Şahin, C. Gloster, and N.K. Sarıtekin, A Neuron Library for Rapid Realization of Artificial Neural Networks on FPGA: A Case Study of Rössler Chaotic System. *Journal of Circuits, Systems and Computers*, 2017. **26**(01): p. 1750015.
6. Koyuncu, İ. and A.T. Özcerit, The design and realization of a new high speed FPGA-based chaotic true random number generator. *Elsevier, Computers & Electrical Engineering*, 2017. **58**: p. 203-214.
7. Avaroğlu, E., İ. Koyuncu, A.B. Özer, and M. Türk, Hybrid pseudo-random number generator for cryptographic systems. *Springer, Nonlinear Dynamics*, 2015. **82**: p. 239-248.
8. Koyuncu, I., A.T. Ozcerit, I. Pehlivan, Implementation of FPGA-based real time novel chaotic oscillator. *Nonlinear Dyn.*, Springer, 2014. **75**(1-2): p. 49-59.
9. Uyaroğlu, Y., *Kaotik Lorenz sisteminin Yarı-Ayna Yapısı*. *Jou. of İstanbul KulturUni.*, 2006. **3**: p. 141-146.
10. Cruz, J.M. and L.O. Chua, A CMOS IC nonlinear resistor for Chua's circuit. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 1992. **39**(12): p. 985-995.
11. Mandal, S. and S. Banerjee, *Analysis and CMOS Implementation of a Chaos-Based Communication System*. *IEEE Transactions on Circuits And Systems-I: Regular Papers*, 2004. **51**(9): p. 1708-1722.
12. Azzaz, M.S., C. Tanougast, S. Sadoudi, R. Fellah, and A. Dandache, A new auto-switched chaotic system and its FPGA implementation. *Comm. in Nonlinear Sci. and Numerical Sim.*, Elsevier, 2013. **18**(7): p. 1792-1804.
13. Sadoudi, S., M.S. Azzaz, C. Tanougast, and A. Dandache, Real time Hardware Implementation of a new Duffing's Chaotic Attractor, in *ICECS2009: Tunisia*. p. 559-562.
14. Koyuncu, İ., A.T. Ozcerit, and İ. Pehlivan, An analog circuit design and FPGA-based implementation of the Burke-Shaw chaotic system. *Optoelectronics and Advanced Materials–Rapid Communications*, 2013. **7**: p. 635-638.
15. Rajagopal, K., A. Akgul, S. Jafari, A. Karthikeyan, and İ. Koyuncu, *Chaotic chameleon: Dynamic analyses, circuit implementation, FPGA design and fractional-order form with basic analyses*. Elsevier, *Chaos, Solitons & Fractals*, 2017. **103**: p. 476-487.
16. Tuna, M. and C.B. Fidan, Electronic circuit design, implementation and FPGA-based realization of a new 3D chaotic system with single equilibrium point. *Optik-International Journal for Light and Electron Optics*, 2016. **127**(24): p. 11786-11799.
17. Tuna, M., C.B. Fidan, İ. Koyuncu, and İ. Pehlivan, Real time hardware implementation of the 3D chaotic oscillator which having golden-section equilibria, in *SİU2016: Zonguldak*. p. 1309-1312.

18. Chua, L., W. Wu, A. Huang, and G. Zhong, *A Universal Circuit for Studying and Generating Chaos-Part I: Route to Chaos*. IEEE Trans. Circuits and Systems I, 1993. **40**: p. 732-744.
19. Lü J., and G. Chen, *A new chaotic attractor coined*. Int. J. Bifurcation and Chaos, 2002. **12**(3): p. 659-661.
20. Tuna, M., İ. Koyuncu, C.B. Fidan, and İ. Pehlivan, *Real time implementation of a novel chaotic generator on FPGA*, in *SİU2015*: Malatya. p. 698-701.
21. Sarıtaş, E., and S. Karataş, *Her yönüyle FPGA ve VHDL*. 2013, Türkiye: Palme Yayıncılık.
22. Koyuncu, İ., R. Demirci, and F. Katırcıoğlu, *Design and Implementation of FPGA-Based Relation Matrix Similarity Unit for Color Images*, in *ICENS2017*: Budapest. p. 130-135.
23. Koyuncu, İ., and M. Tuna, *Implementation of High Speed TanSig Activation Function for FPGA Based Artificial Neural Network Applications*, in *IDAP2016*: pp. 275-280.
24. Koyuncu, İ., and M. Tuna, *Implementation of Elliott-2 Based Tangent Sigmoid Transfer Function For Embedded Artificial Neural Network Applications on FPGA*, in *UBMK2016*: Tekirdağ. p. 438-443.
25. Koyuncu, İ., Özçert, A. T., Pehlivan, İ., *FPGA-Based A Chaotic Oscillator Design and Implementation*, in *ISITES2013*: Sakarya. p. 873-879.